

日 本 国 特 許 庁
JAPAN PATENT OFFICE

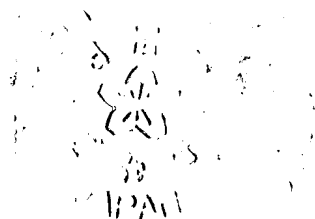
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 4 4 0 4 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 4 4 0 4 1]

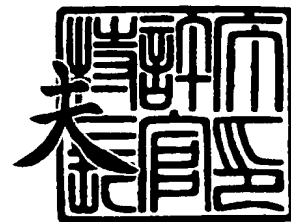
出 願 人 株式会社村田製作所
Applicant(s):



2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 10685
【提出日】 平成15年10月 2日
【あて先】 特許庁長官殿
【国際特許分類】 H03H 9/25
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 村田 好司
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 堀口 広貴
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 久保 竜一
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 藤井 英俊
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 相澤 直子
【発明者】
 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
 【氏名】 岩本 敬
【特許出願人】
 【識別番号】 000006231
 【氏名又は名称】 株式会社村田製作所
 【代表者】 村田 泰隆
【代理人】
 【識別番号】 100085497
 【弁理士】
 【氏名又は名称】 筒井 秀隆
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-341763
 【出願日】 平成14年11月26日
【手数料の表示】
 【予納台帳番号】 036618
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9004890

【書類名】 特許請求の範囲**【請求項 1】**

一主面に機能部と端子電極とを有する電子素子と、一主面に上記電子素子の端子電極と対応する接合電極を有する接合基板とを備え、

上記電子素子の上記主面と上記接合基板の上記主面とを対面させ、上記電子素子の端子電極と接合基板の接合電極とをバンプを介して接合させて電氣的導通を得るとともに、上記電子素子と接合基板とを上記機能部とバンプとを取り囲む封止枠を介して接合させて機能部とバンプとを中空封止する電子部品の製造方法において、

上記電子素子および上記接合基板の一方の上記主面上に、上記バンプ形成位置および封止枠形成位置に対応した開口を持つレジストパターンを形成する工程と、

上記レジストパターンの上に密着層、バリアメタル層、はんだ層となる金属を順次堆積する工程と、

上記レジストパターンを除去することで、上記電子素子および上記接合基板の一方の上記主面上に、バンプと封止枠とを同時形成する工程と、

上記電子素子および上記接合基板の他方の上記主面上に、上記封止枠と対向する金属層を形成する工程と、

上記電子素子と接合基板とをバンプと封止枠を介して接合させる工程であって、上記はんだ層を加熱溶融させ、はんだ層を構成する金属を合金化させるか、はんだ層とこのはんだ層に隣接する金属層とを合金化させて、金属接合する工程と、を含むことを特徴とする電子部品の製造方法。

【請求項 2】

上記電子素子および上記接合基板の他方の上記主面上に、上記封止枠と対向する金属層を形成する工程は、

上記主面上に、上記バンプ形成位置および封止枠形成位置に対応した開口を持つレジストパターンを形成する工程と、

上記レジストパターンの上に密着層、バリアメタル層、はんだ層となる金属を順次堆積する工程と、

上記レジストパターンを除去することで、上記主面上にバンプと封止枠とを同時形成する工程と、を含むことを特徴とする請求項 1 に記載の電子部品の製造方法。

【請求項 3】

上記電子素子の主面上に形成される封止枠の幅と、上記接合基板の主面上に形成される封止枠の幅とが異なり、幅の狭い方の封止枠を構成するバリアメタル層の厚みが、幅の広い方の封止枠を構成するバリアメタル層の厚みより大きいことを特徴とする請求項 2 に記載の電子部品の製造方法。

【請求項 4】

上記はんだ層は、主体となる Sn と、Au, Ag, Cu, Zn, Si, Ge, Pb, In, Bi, Sb のうち 1 つ以上の金属とを含んでおり、

上記はんだ層を構成する上記 2 つ以上の金属は層状に堆積させて形成されたものであり、上記 2 つ以上の金属を堆積させたはんだ層を加熱溶融させて合金化させることを特徴とする請求項 1 に記載の電子部品の製造方法。

【請求項 5】

上記はんだ層は Sn よりなり、

上記バリアメタル層は Au, Ag, Ni, Cu のいずれかよりなり、

上記はんだ層を加熱溶融させて、はんだ層とバリアメタル層を構成する金属の一部とを合金化させることを特徴とする請求項 1 ないし 3 のいずれかに記載の電子部品の製造方法。

【請求項 6】

上記バンプおよび封止枠と対向する電極および金属層は、その表層部が Au, Ag, Ni, Cu のいずれかの金属よりなり、

上記はんだ層を加熱溶融させることで、はんだ層と対向する電極および金属層の表層部の金属とを合金化させることを特徴とする請求項 1 に記載の電子部品の製造方法。

【書類名】 明細書**【発明の名称】 電子部品の製造方法****【技術分野】****【0 0 0 1】**

本発明は電子部品の製造方法、特に通信分野における弾性表面波フィルタや圧電薄膜共振子を用いた圧電フィルタ、光信号変調デバイス、高周波デバイスなどの素子を接合基板にフリップチップ実装し、中空封止してなる電子部品の製造方法に関する。

【背景技術】**【0 0 0 2】**

近年の電子機器の小型化、軽量化により、電子部品に対しても多機能化が要求されている。このような背景の中、携帯電話機等の通信装置に使用される弾性表面波装置としての弾性表面波フィルタ（以下SAWフィルタという）および圧電薄膜共振子を利用した圧電フィルタ（以下BAWフィルタという）等の圧電部品に対しても同様に小型化、軽量化が求められている。

【0 0 0 3】

BAWフィルタは、開口部または凹部を有するSi基板と、この開口部または凹部上に形成されている少なくとも1層以上の圧電薄膜（例えば、ZnOやAlNからなる）を有する薄膜部の上下面を少なくとも一対の上部電極および下部電極を対向させて挟む構造の振動部とを有する圧電共振子や、Si基板に開口部や凹部を設けることなく、下部電極とSi基板との間に空間を形成してなる圧電共振子を、梯子型またはラティス型に構成したものである。このような圧電フィルタにおいては、振動部で発生する厚み縦振動を利用するため、振動空間を確保すると共に、振動部を水分や埃などから保護する必要がある。

【0 0 0 4】

また、SAWフィルタは、水晶やLiTaO₃、LiNbO₃等の圧電基板上にAlなどの金属からなる一対のくし型電極部（インターデジタルトランスデューサ、以下、IDTと略記する）を配置したものである。このような弾性表面波フィルタにおいては、くし型電極部や圧電基板の弾性表面波の伝搬部分などの振動空間を確保すると共に、くし型電極部を水分や埃などから保護する必要がある。

【0 0 0 5】

上記のBAWフィルタおよびSAWフィルタでは、アルミナなどのセラミックからなるパッケージの底面にダイボンド剤を塗布し、BAWフィルタおよびSAWフィルタの素子をダイボンドでパッケージに搭載し、パッケージ内部の端子と素子の電極とをワイヤボンディングにより接続した後、パッケージをリッドによって封止していた。また、上記のBAWフィルタおよびSAWフィルタは、小型化のために、アルミナなどからなるパッケージの底面に電極ランドを形成し、BAWフィルタおよびSAWフィルタの素子をパッケージにフリップチップボンディングで搭載し、パッケージをリッドによって封止することも行われていた。

【0 0 0 6】

しかし、上記のような構造では、BAWフィルタおよびSAWフィルタの素子を小型化したところで、パッケージが小型化されない限り、BAWフィルタおよびSAWフィルタの小型化・低背化ができないという問題があった。また、小型のパッケージにかかるコストが高いという問題もあった。さらに、特にBAWフィルタでは、振動部が基板の開口部または凹部に形成されているため、素子のダイシング、実装時の素子のピックアップ、ダイボンドなどの工程における衝撃によって、振動部の破壊が発生するという問題があった。そこで、近年、チップサイズパッケージのBAWフィルタおよびSAWフィルタが提案されている。

【0 0 0 7】

チップサイズパッケージのSAWフィルタとして、SAWフィルタの素子（SAW素子）を接合基板に実装した構造が知られている。このSAW素子を接合基板に実装し、パッケージするときに必要な条件として次のものがある。

(1) SAW素子を形成するIDT(主成分Al)を周囲環境から遮断し腐食させない中空封止構造。

(2) SAW素子の電極から接合基板への電氣的な導通。

【0008】

上記の条件を満たす弾性表面波デバイスの実装構造として、特許文献1および2に記載のものが提案されている。

特許文献1には、SAW素子を接合基板にバンプを介してフリップチップ接合するとともに、IDT電極やバンプを取り囲む封止枠を接合させて、振動空間を確保しかつ気密封止した弾性表面波デバイスが開示されている。この場合は、バンプおよび封止枠が共にはんだで構成されており、クリーム半田の状態でスクリーン印刷法により接合基板に同時形成した後、溶融し固化させたものである。そして、SAW素子を接合基板上に置き、バンプをSAW素子の入出力電極に接触させ、バンプを加熱加圧して入出力電極に接合させると同時に、はんだ封止枠を素子側シールリングに接合させたものである。

【0009】

特許文献2も、同じくSAW素子を接合基板にフリップチップ接合し、かつIDTやバンプを囲むはんだ封止枠を接合させて、気密封止するものである。すなわち、SAW素子の表面に入出力電極とシールリングとを設け、接合基板には取出電極とシールリングとを設け、取出電極の上にバンプを形成し、接合基板側シールリング上にはんだ封止枠を設けたものである。バンプはワイヤーボンディング法によって取出電極の上に形成し、はんだ封止枠ははんだペーストを基板側シールリング上に印刷し、リフロー後、洗浄することで形成している。

【0010】

特許文献1、2では、接合基板側にはんだ封止枠を形成し、かつはんだ封止枠の形成に印刷法を用いているため、次のような問題がある。

上記はんだ封止枠は接合基板が集合基板の状態で形成されるが、接合基板側へはんだを印刷するときに、集合基板上の電極累積ピッチ精度と印刷用メタルマスクの精度との整合性をとらねばならず、封止枠の微細化が困難になる。そのため、素子が大きくなり、取り個数が少なくなる。

また、印刷時に集合基板の反りや、電極厚みバラツキに起因する印刷量バラツキが発生し、リフロー後のバンプ高さバラツキが出て接合不良が発生する。さらに、リフロー時、コーナー部にはんだが凝集して盛り上がり、はんだ高さバラツキが出て、封止不良が発生する。

上記問題を解決するため、素子が多数個形成されたウエハ上にはんだペーストを印刷し、リフローすることにより、はんだ封止枠を形成する方法も考えられるが、その課題として、はんだ封止枠の精度が出ない、印刷マスクがウエハ表面の電極を傷つけ、特性劣化させる、印刷時のスキージ印圧やはんだをリフローするときの熱でウエハが割れてしまう、などの問題が発生する。

【0011】

特許文献3は、SAW素子を接合基板にフリップチップ接合し、かつIDTやバンプを囲む封止枠を接合させて、気密封止するものである。すなわち、SAW素子の表面に入出力電極とシールリングとをリフトオフ法により形成し、入出力電極とシールリングの上にそれぞれバンプと封止枠とをリフトオフ法により形成する。

バンプおよび封止枠は、例えばニッケルと金との2層構造としている。一方、接合基板には取出電極とシールリングとを設ける。基板のシールリングは例えば金をシール印刷することにより形成する。その後、SAW素子を基板に仮圧着し、その後、リフローさせて接合するものである。

【0012】

特許文献3の場合には、印刷法ではなくリフトオフ法を用いているので、上記のような問題はないが、バンプや封止枠として融点のはんだに比べて高温となる金を用いているので、リフロー時に非常に高温になり、SAW素子の特性劣化などの問題を招く恐れがあると

ともに、金の使用量が多く、コスト上昇を招く欠点がある。

また、所定の厚みの金をリフトオフする場合、金の成膜時の応力が大きいため、リフトオフ用のレジストパターンの変形が大きく、バンプや封止枠のパターンずれが発生する可能性がある。

さらに、SAW素子の表面に予めシールリングを設け、その上に封止枠を形成するため、その位置合わせに精度が要求されるとともに、シールリングの幅を封止枠より広くせざるをえず、SAW素子が大型になる欠点がある。

【0013】

また、チップサイズパッケージのBAWフィルタとして、BAWフィルタの素子（BAW素子）を接合基板と接合した構造が知られている。このBAW素子を接合基板に実装し、パッケージするときに必要な条件として、SAWフィルタと同様に次のものがある。

(1) BAW素子を形成する上部電極及び下部電極を周囲環境から遮断し腐食させない中空封止構造。

(2) BAW素子の電極から接合基板への電気的な導通。

上記の条件を満たすBAWデバイスの実装構造として、特許文献4および5に記載のものが提案されている。

【0014】

特許文献4には、BAW素子を接合基板にバンプを介してフリップチップ接合するとともに、振動部やバンプを取り囲むシール部材（封止枠に相当）を接合させて、振動空間を確保しかつ気密封止したBAWフィルタが開示されている。この場合は、シール部材（封止枠に相当）が鉛ガラス等の低融点ガラス又はクリーム半田で構成されている。

特許文献4では、シール部材（封止枠に相当）に低融点ガラスを用いている場合、次のような問題がある。まず、鉛ガラス等の低融点ガラスは環境上問題となる鉛を含有するため、使用することが好ましくない。しかし、環境の問題を考慮し、鉛を含有していないガラスでは、融点が約400℃以上と高くなり、製造工程において、BAW素子の上部電極、下部電極及び圧電薄膜にダメージを与えてしまう。更に、低融点ガラスは強度が十分ではないため、BAW素子の基板と接合基板の線膨張係数が異なる場合、その差によるひずみを吸収することが出来ない。一方、シール部材（封止枠に相当）にクリーム半田を用いている場合は、特許文献1、2と同様に印刷における問題がある。

【0015】

特許文献5には、ガスケット（封止枠に相当）を備え、振動部を保護するためのマイクロキャップ（接合基板に相当）を、冷間圧接ボンディングによりBAW素子に接合させて、振動空間を確保しかつ気密封止したBAWフィルタが開示されている。この場合は、ガスケット（封止枠に相当）は金で構成されている。

特許文献5では、ガスケット（封止枠に相当）を備えるマイクロキャップ（接合基板に相当）を、冷間圧接ボンディングによりBAW素子に接合させている。冷間圧接ボンディングでは、相当の圧力がBAW素子にかかるため、圧力によりBAW素子の振動部が破壊されたり、BAW素子の基板がダメージを受けるという問題がある。また、冷間圧接ボンディングは、BAW素子の基板の平坦度が高くなければ、封止することが難しく、歩留まり悪いと共に、BAW素子の基板上にわずかな塵などがあると、周縁部を均一に圧接することが難しく、最悪ウエハ割れなどに至るという問題もある。

【特許文献1】特開平4-293310号公報

【特許文献2】特開2000-77970号公報

【特許文献3】特開平9-162690号公報

【特許文献4】特開平7-283334号公報

【特許文献5】特開2001-68580号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

そこで、本発明の目的は、バンプと封止枠とを精度よく形成でき、確実な接合性および封

止性とが得られる電子部品の製造方法を提供することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するため、請求項1に係る発明は、一主面に機能部と端子電極とを有する電子素子と、一主面に上記電子素子の端子電極に対応する接合電極を有する接合基板とを備え、上記電子素子の上記主面と上記接合基板の上記主面とを対面させ、上記電子素子の端子電極と接合基板の接合電極とをバンプを介して接合させて電氣的導通を得るとともに、上記電子素子と接合基板とを上記機能部とバンプとを取り囲む封止枠を介して接合させて機能部とバンプとを中空封止する電子部品の製造方法において、上記電子素子および上記接合基板の一方の上記主面上に、上記バンプ形成位置および封止枠形成位置に対応した開口を持つレジストパターンを形成する工程と、上記レジストパターンの上に密着層、バリアメタル層、はんだ層となる金属を順次堆積する工程と、上記レジストパターンを除去することで、上記電子素子および上記接合基板の一方の上記主面上に、バンプと封止枠とを同時形成する工程と、上記電子素子および上記接合基板の他方の上記主面上に、上記封止枠と対向する金属層を形成する工程と、上記電子素子と接合基板とをバンプと封止枠を介して接合させる工程であって、上記はんだ層を加熱溶融させ、はんだ層を構成する金属を合金化させるか、はんだ層とこのはんだ層に隣接する金属層とを合金化させて、金属接合する工程と、を含むことを特徴とする電子部品の製造方法を提供する。

【0018】

本発明では、印刷法ではなく、堆積法を用いてバンプおよび封止枠を電子素子上または接合基板上に形成するので、封止枠の微細化が可能となるとともに、バンプや封止枠の高さばらつきを小さくでき、高精度なバンプおよび封止枠を形成できる。また、特性劣化やウエハの割れといった不具合を解消できる。さらに、バンプおよび封止枠を同時形成することで、工程を短縮できる。

また、はんだ封止枠を形成するために、電子素子上または接合基板上に事前にシールリングのような電極を形成することなく、封止枠を直接形成しているため、封止枠を必要最小限の幅に形成でき、素子あるいは基板の小型化が可能になる。

【0019】

バンプおよび封止枠は、密着層、バリアメタル層、はんだ層の3層構造よりなる。密着層は電子素子または接合基板との密着性を確保するものであり、Ti、NiCr、Crなどが使用される。バリアメタル層は密着層や下地となる電極を構成する金属のはんだ中への拡散（はんだ食われ）を防止することを主たる目的としており、Cu、Ni、Pt、Pd、Ti、およびそれらの合金や積層体でもよい。

はんだ層には主にSnが使用されるが、はんだ層は接合時の熱によって加熱溶融され、はんだ層を構成する金属、あるいは隣接する金属層とCuSn、SnAg、AuSn、NiSnなどの高融点の合金となる。そのため、電子部品をマザーボード等を実装する際、バンプおよび封止枠を構成する金属が再溶融するのを防止できる。また、合金化することによって、耐蝕性や耐摩耗性など、単一の金属層のみでは得られなかった特性を得ることができる。接合時の温度を、AuとAuの接合や、低融点ガラスによる接合に比べて低くすることができるので、高温による電子素子の特性悪化を防ぐことができる。

特許文献3のように、Au同士を接合する場合には、Au同士が溶融して金属接合するのみであり、別の特性を有する合金が形成される訳ではない。これに対し、本発明では単一組成の金属とは異なる優れた特性を持つ合金が形成される点を特徴としている。そのため、確実な接合性と封止性とが得られる。

【0020】

3層構造の金属層を蒸着法、スパッタリング法、CVD法、めっき法など用いた堆積法により形成しているので、電子素子や接合基板を損傷せずに安定したバンプおよび封止枠を形成することができる。

はんだ層を堆積したとき、Auに比べて成膜時の応力が小さいため、リフトオフ用のレジストパターンの変形が小さく、バンプや封止枠のパターンずれを小さくすることができる。

。つまり、高精度のバンプや封止枠を形成できる。

なお、端子電極上または接合電極上にバンプが形成されるが、バンプが電極上に完全に載っている必要はなく、バンプの一部が電極上に接触しておれば、電氣的導通が得られるし、またバンプと電子素子または接合基板との密着性も得られる。なお、封止枠の一部が電極上に接触していてもよい。

【0021】

請求項2のように、上記電子素子および上記接合基板の他方の上記主面上に、上記封止枠と対向する金属層を形成する工程は、上記主面上に、上記バンプ形成位置および封止枠形成位置に対応した開口を持つレジストパターンを形成する工程と、上記レジストパターンの上に密着層、バリア金属層、はんだ層となる金属を順次堆積する工程と、上記レジストパターンを除去することで、上記主面上にバンプと封止枠とを同時形成する工程とを含んでもよい。

つまり、電子素子と接合基板の両方に、対向するバンプおよび封止枠を、密着層、バリア金属層、はんだ層からなる金属層をリフトオフすることによって同時形成したものである。そのため、電子素子と接合基板との接合時に両方のはんだ層が溶融一体化し、安定した金属接合が得られる。

【0022】

請求項3のように、電子素子と接合基板の両方にバンプおよび封止枠を同時形成した場合に、電子素子の主面上に形成される封止枠の幅と、接合基板の主面上に形成される封止枠の幅とが異なり、幅の狭い方の封止枠を構成するバリア金属層の厚みが、幅が広い方の封止枠を構成するバリア金属層の厚みより大きいのがよい。

電子素子と接合基板とを接合した時、接合荷重により、余剰となったはんだが流れ出すことがある。この流れ出しが生ずると、後のダイシング時のブレード偏摩耗を生じさせてチップングを増大させたり、封止枠とバンプ部の間や、封止枠及びバンプと上下電極部などの間でショートし、特性劣化を招く。

そこで、はんだの流れ出しを抑止するため、電子素子と接合基板の一方のバリア金属層の厚みを厚くし、他方の封止枠の幅を広くした。これは、厚いバリア金属層が接合時に溶融しないためスペーサとして働き、接合金属層が薄くなって余剰はんだが流れ出しても、電極幅が広い方の電極上にのみ濡れて流れ出すが、濡れ性の差を利用して電極幅が狭い方の電極外には流れ出さないようにするためである。このように流れ出しを規制することで、接合形状の均一化が図れ、封止の歩留まりが向上する。

【0023】

請求項4のように、はんだ層は、主体となるSnと、Au, Ag, Cu, Zn, Si, Ge, Pb, In, Bi, Sbのうち1つ以上の金属とを含んでおり、はんだ層を構成する上記2つ以上の金属は層状に堆積させて形成されたものであり、2つ以上の金属を堆積させたはんだ層を加熱溶融させて合金化させるのがよい。

Snのような1つの金属だけではんだ層を構成することも可能であるが、低温脆性の性質があり、零下温度の環境では結晶が崩壊する。そこで、はんだ層を複数の金属の積層構造とし、接合時にはんだ合金を得ることで、合金蒸着のような難しい加工を必要とせずに、単一組成はんだの問題を解消できる。

また、はんだ合金を得ると同時に接合させることで、一部の金属がはんだに溶解してはんだの新生面を露出させることが可能となり、対向する電極（または金属層）にはんだ濡れを生じさせることができ、良好なはんだ接合、はんだ封止が行える。

【0024】

請求項5のように、はんだ層はSnよりなり、バリア金属層はAu, Ag, Ni, Cuのいずれかよりなり、はんだ層を加熱溶融させて、はんだ層とバリア金属層を構成する金属の一部とを合金化させてもよい。

はんだ層を他の金属層とを合金化させる方法として種々の方法があるが、はんだ層とその下層のバリア金属層の一部とを合金化させれば、Sn合金が形成され、耐熱性、耐蝕性などの優れた特性が得られるとともに、はんだ層とバリア金属層とが強固に接合される

。

【0025】

請求項6のように、バンプおよび封止枠と対向する電極および金属層は、その表層部がAu, Ag, Ni, Cuのいずれかの金属よりなり、はんだ層を加熱溶融させることで、はんだ層と対向する電極および金属層の表層部の金属とを合金化させてもよい。

電子素子と接合基板との接合時に、バンプおよび封止枠の上層を構成するはんだ層と、対向する電極および金属層とを当接させて加熱することにより、はんだ層が加熱溶融される。この時、はんだ層と電極および金属層の表層部に設けられたAu, Ag, Ni, Cuの金属とが合金化され、金属接合される。

これにより、はんだ層を構成する金属より耐熱性、耐蝕性などに優れた合金が形成され、しかもはんだ層と対向する電極および金属層とが確実に金属接合され電気的および機械的特性に優れたチップサイズパッケージの電子部品が得られる。

【発明の効果】**【0026】**

以上の説明で明らかなように、本発明では、電子素子および接合基板の少なくとも一方の上にバンプと封止枠とをリフトオフ法を用いて同時形成しているので、微細かつ高精度な封止枠とバンプとを形成することができる。また、はんだ封止枠を形成するために、電子素子または接合基板上に事前にシールリングのような電極を形成することなく、封止枠を直接形成できるので、製造工程が簡単になり、位置合わせが容易になるとともに、封止枠を必要最小限の幅に形成できるので、電子部品の小型化が可能になる。

バンプおよび封止枠は、密着層、バリアメタル層、はんだ層の3層構造よりなり、密着層で電子素子または接合基板との密着性を確保すると同時に、バリアメタル層によって密着層のはんだ食われを防止しているので、接合不良や封止不良を低減できる。

さらに、接合時の熱ではんだ層を加熱溶融させることで、はんだ層と隣合う金属とを合金化させるので、単一組成のはんだ層では得られなかった優れた特性を得ることができ、信頼性の高い封止型電子部品を得ることができる。また、接合時の温度を、AuとAuの接合や、低融点ガラスによる接合に比べて低くすることができるので、高温による電子素子の特性悪化を防ぐことが出来る。

【発明を実施するための最良の形態】**【0027】**

以下に、本発明の実施の形態を、実施例を参照して説明する。

【実施例1】**【0028】**

図1、図2は本発明にかかる電子部品の第1実施例である弾性表面波デバイスを示す。弾性表面波デバイスは、弾性表面波素子（以下、SAW素子と呼ぶ）1と、接合基板10と、SAW素子1の周囲をコートする樹脂20とで構成されている。

【0029】

SAW素子1は、圧電性を持つ水晶、LiTaO₃、LiNbO₃、LiB₄O₇等の基板2を備えており、基板2の一主面には、櫛歯状のIDT電極3と、その周辺に電氣的導通を得るための端子電極4と、端子電極4の上に一部または全部が載っているはんだバンプ5と、バンプ5とIDT電極3とを取り囲むように設けられたはんだ封止枠6とが形成されている。この例では、はんだ封止枠6の寸法を幅70μm、厚み20μm、バンプ5の寸法をφ70μm、厚み20μmとした。この厚み20μmは接合させる電極の凹凸を吸収させ、かつ、熱衝撃疲労による破壊を起さない寸法から決めた。また、70μmのバンプ径や封止幅は、接合基板10側に形成される電極の形成精度と、フリップチップ実装時の位置決め精度から、確実に接合できる寸法に設定した。

【0030】

接合基板10は多層セラミック基板であり、その上面にバンプ5を接合するためのバンプ用接合電極11と、はんだ封止枠6を接合するための封止枠用接合電極12とが形成されている。ここでは、バンプ用接合電極はφ70μmの円形、封止枠用接合電極は70μm

幅の矩形棒状に形成した。接合基板 10 の下面には、マザーボードと SMT 接合するための外部電極 13 が設けられ、接合電極 11 は V I A 電極 14 や内層配線 15 を経由して外部電極 13 に接続されている。なお、電気特性を維持するために、はんだ封止棒 6 と接合される封止棒用接合電極 12 を V I A 電極 14 や内層配線 15 を介してアース用外部電極 13 a に接続してもよい。接合電極 11, 12 や外部電極 13 は、はんだ実装性を考慮し、接合基板 10 の電極表面に $2\mu\text{m}$ の厚みで N i 無電解メッキし、さらに $0.5\mu\text{m}$ の厚みで A u 無電解メッキを施すのがよい。図 1 では接合基板 10 が 2 層のセラミック基板で構成されているが、単層や 3 層以上であってもよく、材質もセラミックでなく、樹脂やガラスでもよい。また、S A W 素子 1 を複数個実装したり、多層セラミック基板 10 内に L, C, R といった受動素子を形成したり、多層セラミック基板 10 上の S A W 素子 1 が実装されない領域に他の表面実装部品を実装したりして、多機能モジュールを形成してもよい。

【0031】

S A W 素子 1 に形成されたバンプ 5 と封止棒 6 は接合基板 10 にはんだ接合され、S A W 素子 1 は接合基板 10 上にフリップチップ接合される。はんだ封止棒 6 の厚みにより中空を得るとともに、はんだバンプ 5 により電氣的導通を得る。さらに、はんだ封止棒 6 と S A W 素子 1 と接合基板 10 とにより、I D T 電極 3 を保護する気密封止を得ている。はんだ接合・封止された S A W 素子 1 上には樹脂 20 がコーティングされ、I D T 電極 3 を保護する気密封止は一層確実になるとともに、S A W 素子 1 と接合基板 10 との固着強度が確保される。コート樹脂 20 として、本実施例では紫外線硬化樹脂を用いた。コート樹脂 20 は、S A W 素子 1 の割れや欠けを防止するとともに、製品印字のために用いられ、エポキシ樹脂、シリコン樹脂、ポリイミド樹脂などを用いることができる。電気特性上、電磁シールドが必要なら、導電性粒子を混入させた導電性接着剤を用い、はんだ封止棒 6 と接着させて接地させてもよい。

【0032】

上記弾性表面波デバイスのうち、S A W 素子 1 は図 3 のようにして製作される。

まず、図 3 (a) のように、水晶、 LiTaO_3 、 LiNbO_3 、 LiB_4O_7 等の圧電基板 2 上に、フォトレジスト 30 を全面に塗布する。

そして、図 3 (b) のように、フォトリソグラフィ技術を用いて、フォトレジスト 30 を露光、現像することにより、I D T 電極 3、端子電極 4 など電極膜を形成したい部分に開口を有するリフトオフ用レジストパターン 31 を形成する。

続いて、図 3 (c) のように、蒸着やスパッタリングなどの手法を用いてレジストパターン 31 上に電極材料 (A1) よりなる電極膜 32 を形成する。

次に、図 3 (d) のように、リフトオフを行い、レジストパターン 31 とその上に付着した不要な電極膜 32 を除去することで、圧電基板 2 上に I D T 電極 3 および端子電極 4 を含む電極パターンを形成する。

なお、I D T 電極 3 や端子電極 4 の形成方法は、フォトリソグラフィプロセスに限らず、成膜～レジストパターニング～エッチング～レジスト剥離というエッチングプロセスを用いてもよい。この際、I D T 電極 3 の腐食の抑制のため、特性阻害しない程度の薄いパッシベーション膜 (SiO_2 , SiN 等) を設けてもよい。

【0033】

次に、上記のように電極 3, 4 を形成した S A W 素子 1 の上に、バンプ 5 と封止棒 6 とを形成する方法を図 4 (a) ～ (e) に示す。

図 4 (a) は図 3 に示す方法で I D T 電極 3 等のパターンが形成された S A W 素子 1 を示す。

まず、図 4 (b) のように、I D T 電極 3 等のパターンが形成された S A W 素子 1 上に、リフトオフ用のネガ型フォトレジスト 40 を全面に塗布する。塗布厚は、後述する 3 層の金属層 42 ～ 44 の厚みの総和より厚くなるように、例えば $50\mu\text{m}$ とする。

次に、フォトレジスト 40 をバンプ 5 および封止棒 6 を形成する部分が遮光するようなフォトマスクを用いて露光し、現像液により非露光部を除去 (現像) する。これにより、図

4 (c) のように、バンプ 5 および封止枠 6 に対応した部分が開口したネガレジストパターン 4 1 が形成される。このとき、ネガレジストパターン 4 1 の開口が断面逆テーパ形状となるような、フォトリソグラフィ条件にする。

続いて、レジストパターン 4 1 の上に、電子ビーム蒸着成膜法により、図 4 の (d) のように密着層 4 2 とバリアメタル層 4 3 とはんだ層 4 4 を順次成膜する。まず、密着層 4 2 として Ti を 50 nm の厚みで、続いてバリアメタル層 4 3 として Ni を 1.2 μ m の厚みで、続いてはんだ層 4 4 として Sn を主体とし Cu を添加した膜を 20 μ m の厚みで成膜する。ここでは、膜と膜の密着性を確保するため、真空破壊することなく、連続して成膜した。密着層 4 2 に Ti、バリアメタル層 4 3 に Ni を用いた場合には、SAW 素子 1 の圧電基板 2 との確実な密着が得られ、はんだ喰われによる密着不良を防止し、接合不良・気密封止不良が減る。密着層 4 2 には、Ti の他に、Al、Ni、Cr、Cu またはこれらの合金などを用いることができる。また、バリアメタル層 4 3 は、Ni のほかに Al、Cu、Pt、Pd、それらを主成分とする合金など、はんだ層 4 4 の拡散防止膜として作用する材料であればよい。はんだ層 4 4 には、Sn 系の合金のほかに、Pb や Au を主成分とする合金等、接合基板 10 の電極材料と問題ない接続が行える材料であればよい。

続いて、SAW 素子 1 を剥離液槽の中に入れ、不要レジストおよび蒸着膜を除去するためリフトオフを行い、さらに剥離液を除去するために SAW 素子 1 を水洗する。上記プロセスにより、図 4 (e) のように、電極パターン 3、4 と、バンプ 5 および封止枠 6 が形成された SAW 素子 1 が得られる。

【0034】

上記のように、リフトオフ蒸着プロセスによりバンプ 5 および封止枠 6 を形成すれば、バンプ 5 と封止枠 6 の同時形成、およびバンプ 5、封止枠 6 の小型化が可能である。勿論、本プロセスは通常の SAW 素子と同様に、集合基板状態（ウエハ）で行う。

また、はんだ形成を蒸着により行なっているため、ウエハの温度上昇が小さく、従来のようにはんだ印刷後のリフローのような急昇温がないので、ウエハが割れることもない。また、機械的応力がかからないのでウエハ割れを発生させない。

【0035】

上記のようにして作られた SAW 素子 1 と接合基板 10 との接合方法について、図 5 を用いて説明する。

図 5 (a) に示すように、IDT 電極 3、端子電極 4、バンプ 5、はんだ封止枠 6 が形成された SAW ウエハ 1 A を粘着シート 50 に貼り付ける。ここでは、ダイシング時に発生する切り屑やブレード粉が IDT 電極 3 に付着しないよう、SAW ウエハ 1 A のはんだ封止枠 6 が形成された面に粘着シート 50 を貼り付けた。粘着シート 50 を固定したのち、図 5 (a) に破線 C1 で示すようにダイサーにて個々の SAW 素子 1 に分割し、その後、切り屑などを水洗除去し、乾燥させた。

次に、図 5 (b) に示すように、粘着シート 50 に貼り付いている個片の SAW 素子 1 の背面をツール 51 にて吸着し、ピックアップして粘着シート 50 から剥離した後、SAW 素子 1 の IDT 電極 3・バンプ 5・封止枠 6 が接合基板 10 A に対向するようにして、集合基板状態のアルミナ製接合基板 10 A に位置決めし、60 kHz、80 mW の超音波と 5 N の荷重を 100 ms 加えて仮接合した。これを所定の数量を繰り返し、集合基板 10 A 上に所定の数量の SAW 素子 1 を仮接合した。ここでは、はんだ 4 4 の酸化膜の成長を抑制すると共にバリアメタル層 4 3 のはんだ喰われを抑制するため、加熱せずに実施したが、はんだ接合に不具合を生じなければ、加熱してもよい。

続いて、図 5 (c) に示すように、SAW 素子 1 が仮接合された接合基板 10 A をホットプレート 52 上に載置し、フラックスを用いず、酸素濃度 100 ppm の窒素雰囲気下で、260℃に加熱してはんだ 4 4 を熔融させ、次いで冷却固化し、はんだ接合とはんだ封止をした。はんだ 4 4 の酸化を防止するため、窒素雰囲気にしているが、真空中やプラズマ中、不活性ガス中、還元ガス中などで実施してもよい。また、加熱装置としてホットプレート 52 を用いているが、リフロー炉、オープンなどであってもよい。

次に、図5(d)に示すように、はんだ接合・はんだ封止されたSAW素子1が多数搭載されている集合基板10A上に、スクリーン印刷を用いてエポキシからなる紫外線硬化性樹脂(UV樹脂)20を塗布し、紫外線を照射し硬化させる。UV樹脂を用いたのは、樹脂硬化時の集合基板10Aの反りを抑制するためである。電磁シールドが必要となる場合には、エポキシ樹脂にカーボンやCu、Agからなるフィラーを混入させてもよい。

次いで、図5(e)に示すように、樹脂硬化された集合基板10Aを粘着シート53に貼付け、それを破線C2で示すようにダイシングして個片のSAWデバイスに分割した。

図5(f)は最終的な製品となるSAWデバイスを示す。

【0036】

図6は、SAW素子1に設けられたバンプ5および封止枠6を構成する金属層と、集合基板10の接合電極11、12を構成する金属層の具体例を示し、(a)は接合前、(b)は接合後を示す。

バンプ5および封止枠6の形成時において、密着層(Ti)42とバリアメタル層(Ni)43を形成した後、Ag層を $0.5\mu\text{m}$ 、Sn層を $20\mu\text{m}$ 、Au層を $0.1\mu\text{m}$ の厚みで順次蒸着させ、積層状態のはんだ層44を形成した。なお、集合基板10の接合電極11、12は、第1実施例と同様に、配線電極(例えばCu)の上にNi層を設け、その上にAu層を設けるのがよい。

バンプ5および封止枠6の溶融接合時において、はんだ層44をSnの融点である 232°C 以上に加熱することで、AgをSn中に溶解させ、SnAgはんだ合金を得た。同時に、AuもSnに溶解してはんだの新生面を露出させるので、集合基板10の接合電極11、12にはんだ濡れを生じさせることができ、確実なはんだ接合、はんだ封止が可能となる。

なお、上記実施例では、バンプ5および封止枠6の溶融接合時にはんだ合金を得るようにしたが、接合前に加熱することで、はんだ合金を得るようにしてもよい。

【0037】

Snのみでも接合は可能であるが、低温脆性の性質があり、零下温度の環境では、結晶が崩壊するため、Agを共晶組成付近になるよう積層した。また、Snが表面にあると、レジスト40の剥離やダイシング時の水分などにより、表面酸化を起こし接合不良を起こすことがあるので、Auを積層したが、Sn表面のAu層は省略可能である。はんだ合金がSnAgとなることで、はんだの耐疲労性を増すことができる。バリアメタル層43にCuを使用すると、はんだはSnAgCu合金になり、さらに耐疲労性が増すという利点がある。

ここでは耐疲労性からSnAgはんだを使用した。はんだ耐熱性が必要なデバイスにはバリアメタル層43の上にAu $12\mu\text{m}$ 、Sn $8\mu\text{m}$ 、Au $0.2\mu\text{m}$ を順に蒸着し、 250°C にてSnを溶融させて接合させたのち、熱アニールして融点が 280°C のAuSn合金を得るようにしてもよい。この方法を用いれば、SAW素子1の耐熱温度が 300°C と低いにもかかわらず、接合部が 280°C 以上のはんだ耐熱性を有するデバイスが可能になる。

【0038】

上記のように、はんだ層44を複数の金属の積層構造とすることにより、次のような作用効果を有する。

一般に制御が難しく、合金組成バラツキが大きくなったり、傾斜組成となってしまう合金蒸着をすることなく、それぞれを別々に蒸着させた後、実装時の加熱により容易にはんだ合金を得ることができる。

耐疲労性を有するSnAgはんだ、SnAgCuはんだによる接合部を容易に形成できる。

はんだ耐熱性を有するAuSnはんだの接合を、Snの融点以上、AuSnの融点以下の 240°C で行なうことができ、SAW素子へのダメージを防止できるとともに接合封止部のはんだ耐熱性を持たせることができる。

【実施例2】

【0039】

次に、電子部品としてBAWフィルタの実施例について説明する。

圧電薄膜共振子の基本構造は、図7の(a)または(b)に示す通りである。すなわち、

(a)では、Si基板60に開口部61を形成し、開口部61上に絶縁膜(例えばSiO₂)62を形成した後、絶縁膜62上に順に下部電極63、圧電薄膜64および上部電極65を形成したものである。一方、(b)では、Si基板60に凹部66を形成し、凹部66上に2層の絶縁膜(例えばSiO₂とAl₂O₃)67, 68を形成し、その上に順に下部電極63、圧電薄膜64および上部電極65を形成したものである。電極63, 65には、Al、Ta、Nb、Mo、Pt、Wなどを用い、圧電薄膜64には、ZnOやAlNを用いる。

【0040】

いずれも、下部電極63、圧電薄膜64、上部電極65及び絶縁膜62からなる振動部が、Si基板60の開口部61又は凹部66上に形成されたダイヤフラム構造を有する。そして、上下部電極63, 64間に電気信号を印加することで圧電薄膜64を共振(厚み縦振動)させ、バルク波を励振させてその振動特性を利用する。複数の圧電薄膜共振子を梯子型やラティス型に配置することで圧電フィルタが構成される。電極63, 65や圧電薄膜64に水分などが付着したり、吸着されると、質量付加や電極腐食により共振特性が変化し、機能劣化する。そのため、気密封止されたパッケージが必要である。

【0041】

気密封止パッケージは、図8に示すように、複数の圧電薄膜共振子が形成された圧電フィルタ素子(BAW素子)70と、BAW素子70の電極からパッケージ外部電極へ電気的導通を取るためのスルーホール(接合電極)81および外部電極82が形成された表面接合基板80と、BAW素子70の開口部61を封止する裏面接合基板90とから構成されている。なお、BAW素子が凹部を有する場合(図7の(b)参照)には、裏面接合基板は不要である。表面接合基板80とBAW素子70は、はんだ封止枠100によって、裏面接合基板90とBAW素子70は、はんだ封止枠101によって、それぞれ金属接合(はんだ接合)され、振動部が可動できるよう中空部が設けられ、中空部が封止されている。また、BAW素子70に設けられた電極63, 65は、はんだバンプ102, 103によって表面接合基板80に設けられたスルーホール81と金属接合(はんだ接合)され、外部電極82に導通している。なお、スルーホール81の内面に設けた薄膜電極に代えて導電ペーストを充填してもよい。

【0042】

本実施例では、表面接合基板80および裏面接合基板90に、BAW素子70に用いるSi基板と線膨張係数が近い硬質ガラスを用いる。また、表面接合基板80の配線層81, 82には導電性の高いCuを用いる。配線層は、Cu以外に、Alなどであってもよく、またそれらを主成分とする合金などであっても良い。はんだ封止枠およびバンプは、多層構造を有する接合金属層から構成されており、この接合金属層の密着層にはTiを、バリア層にはCuを使用し、接合層はCuSn合金とした。なお、ここではCuSn合金の組成をCu₃Snが主成分となるようにした。

【0043】

接合金属層の密着層はNiCrやCrといった金属でもよい。バリア層は、密着層や端子部金属のはんだ中への拡散を防止することを主たる目的にしており、Ni、Pt、Pd、それらの合金や積層体などであってもよい。接合層にはCu₃Sn以外のCuSn合金組成でもよく、また、SAWフィルタの実施例で述べたSnAg、あるいはAuSnやNiSnなどを主成分とする合金であっても良い。また、中空部を確保するために、硬質ガラスに中空部に対応する凹みがあってもよい。

【0044】

上記のような封止パッケージの製造方法について、以下に述べる。まず、表面接合基板80、裏面接合基板90、BAW素子70の形成方法を述べ、次いでそれらを接合し封止パッケージとする方法について述べる。

(1) 表面接合基板

まず図9の(a)に示すように、表面接合基板80にスルーホール81を形成する。そのため、集合基板状態の表面接合基板である硬質ガラスウエハ80Aに、サンドブラスト用のレジストパターンをフォトリソグラフィによって形成し、サンドブラストして複数の貫通穴($\phi 0.05\text{mm}$)83を形成した後、レジストパターンを除去する。次いで、貫通穴83において、Cu/Ti(密着層)/硬質ガラスウエハの順となるようにスパッタにて金属膜を形成し、各表面接合基板80に対応するスルーホール81及び外部電極82を形成する。ここでは、硬質ガラスウエハ80Aを用いたが、BAW素子70に用いるSiウエハと線膨張係数が近く、絶縁性を有し、透湿性の低い材料であれば、セラミック基板や絶縁膜を形成したSiウエハであっても良い。

【0045】

次に、硬質ガラスウエハ80Aに、はんだ封止枠およびバンプを形成するためのレジストパターン84を形成する。スルーホール81及び外部電極82を形成した硬質ガラスウエハ80Aにリフトオフ用レジストを2層塗布し、フォトリソグラフィによりはんだ封止枠部分と同時にスルーホール部分のコンタクト(接合電極)用にパターンを形成した。2層レジストのガラス側層には剥離性の良いレジストを、その上層には高強度のレジストを使用した。上層レジストには、アクリル系のレジストを用い、成膜した金属薄膜の応力や、成膜中の熱に強いリフトオフレジストパターンの形成を可能とし、その下部に剥離性の良いレジストを形成しておくことで同時に剥離性を向上させ、リフトオフ後のレジスト残査をなくした。その結果、SnやAuなど応力が強く、成膜中の温度上昇が大きい膜を用いることができる。またフォトリソグラフィ技術を用いて形成するため、線幅や位置合わせ精度が高いだけでなく、ウエハ全面に一括してリフトオフパターンを形成することが可能である。なお、本実施例では、後の工程で形成するはんだ封止枠の幅が $30\mu\text{m}$ となるように、素子周縁部やスルーホール周縁部にレジスト形成した。この幅寸法は必要となる接合強度を考慮して設計した。

【0046】

次に、図9の(b)のように電子ビーム蒸着により、上層からSn($4.5\mu\text{m}$)/Cu($4.5\mu\text{m}$)/Ti($0.1\mu\text{m}$)となるように金属層85を形成した。なお、めっきプロセス、スパッタ成膜プロセスにより形成することも可能である。ここで、Cuはバリア層として働くと共に、Snの熔融によりCuの一部がSn中へ溶解拡散することで合金化するため、接合層としても作用する。Sn膜厚とCu膜厚、及び接合温度プロファイルを制御することにより、接合後の組成制御を精密に行うことができる。なお、Cuに代えて、バリア層として一般に用いるバリア効果がある材料、たとえばPt、Pd、Niなどを用いても良い。また、Tiは密着層として用いるものであり、NiCr、Crといった金属でも良い。

【0047】

次に、図9の(c)のようにレジストパターン84上の不要な金属層と共に、レジストパターンを剥離液にて除去し(リフトオフ)、Sn/Cu/Tiの多層構造を有するはんだ封止枠86およびバンプ87を形成した。なお、本実施例でははんだ封止枠86の厚みによって中空部を確保するが、表面接合基板80のBAW素子70の振動部と対向する位置に、サンドブラストやエッチングなどによって凹部を形成し、はんだ封止枠を薄くしてもよい。また、本実施例では、はんだ封止枠およびバンプを同時形成したが、別々に形成しても良い。

【0048】

(2) 裏面接合基板

図10の(a)~(c)に示すように、表面接合基板80と同じプロセスを用いて、集合基板状態の裏面接合基板である硬質ガラスウエハ90Aに、リフトオフ用レジストパターン91を形成し、Sn($4.5\mu\text{m}$)/Cu($4.5\mu\text{m}$)/Ti($0.1\mu\text{m}$)膜92を電子ビーム蒸着した後、リフトオフし、Sn/Cu/Ti膜の多層構造を有する裏面接合基板90用のはんだ封止枠93を形成した。

なお、金属膜の形成は、めっきプロセス、スパッタ成膜プロセスにより形成することも可能である。また、硬質ガラスを用いたが、線膨張係数がBAW素子に用いるSiウエハに近い材料であればよく、42アロイなどの金属や、セラミック、あるいは、Siウエハであっても良い。

【0049】

(3) BAW素子

図11の(a)に示すように、ウエハ状態のSi基板であるSiウエハ70Aを異方性エッチングして開口部61を形成し、開口部61を塞ぐようにして絶縁膜62を形成し、絶縁膜62上に上部電極65(A1/Ti)/圧電薄膜64(ZnO)/下部電極63(A1/Ti)となるように形成して、複数の圧電薄膜共振子を梯子型に構成してなる圧電フィルタ素子(BAW素子)を準備する。絶縁膜62、上部電極65、圧電薄膜64、下部電極63はいずれもフォトリソグラフィ技術、蒸着及びスパッタリングなどの成膜技術を用いて形成される。

【0050】

図11の(a)のように、Siウエハ70Aの裏面に、裏面接合基板の硬質ガラスウエハ90Aの接合金属層93と対応するように、Sn(0.5 μ m)/Cu(3.0 μ m)/Ti(0.1 μ m)の多層構造を有する封止枠71を電子ビーム蒸着により形成しておく。なお、めっきプロセス、スパッタ成膜プロセスにより形成することも可能である。

また、Siウエハ70Aの表面には、表面接合基板の硬質ガラスウエハ80Aのはんだ封止枠86およびバンプ87に対応するレジストパターン72を形成する。ここでは、接合される表面接合基板の硬質ガラスウエハ80Aに形成したCu/Sn/Ti膜と対応するようにして、封止枠の幅が55 μ mとなるようにレジストパターン72を形成した。

【0051】

次に、図11の(b)のように、レジストパターン72の上にSn(0.5 μ m)/Cu(3.0 μ m)/Ti(0.1 μ m)の多層構造の金属膜73を電子ビーム蒸着により形成した。なお、めっきプロセス、スパッタ成膜プロセスにより形成することも可能である。ここではBAW素子70の上部電極や下部電極としてA1を用いているが、配線抵抗を低減させるためにCuなどを用いても良い。Cuを使用した場合、Sn下地のCuの成膜を省略し、接合層となるSnのみを成膜すれば、成膜工数が減るという利点もある。

【0052】

続いて、図11の(c)のように溶剤にてレジスト72、及び不要金属部をリフトオフし、所望のSn/Ni/Tiの多層構造を有するはんだ封止枠74及びバンプ75を形成した。はんだ封止枠74及びバンプ75は、表面接合基板の硬質ガラスウエハ80Aのはんだ封止枠86及びバンプ87に対応するように形成される。

【0053】

図12は、BAW素子70に設けられた封止枠74と、表面接合基板80に設けられた封止枠86の接合前の具体的構造を示す。なお、BAW素子70と裏面接合基板90との封止構造も同様である。

図13の(a)は上記封止枠86、74の接合後の構造を示し、(b)はCuの厚みが薄い場合の比較例を示す。

なお、バンプについては、BAW素子70および接合基板80にそれぞれ下地となる配線層(63, 65, 81など)が設けられている点を除き、封止枠74, 86と同一構造であるため、説明を省略する。

【0054】

図12に示すように、表面接合基板80に設けたSnの厚みh2は、硬質ガラスウエハからなる表面接合基板80の面内厚みバラツキを吸収して接合し封止できる程度の厚みとした。また、BAW素子70のはんだ封止枠74及びバンプ75に設けたSnは、無くてもよいが、BAW素子側にSnがあることで表面接合基板80側のSnが濡れやすく流動しやすくなり、後述するはんだ流れ出しを制御しやすくなることから形成した。

一方で、Cuの厚みは接合後のCuとSnの合金組成比に鑑みて、高融点のCu₃Sn(

ε相)が形成される組成となるように膜厚を決めた。
はんだ層の合金はCuとSnを主成分として構成され、SnとCuの合金におけるCuの重量比が39wt%より大きいことが好ましい。

【0055】

図12に示すように、BAW素子70の封止枠74に比べて表面接合基板80の封止枠86の方が細幅であり、かつ細幅の表面接合基板80の封止枠86のバリアメタル層であるCuを厚くしてある。その理由は、封止枠86のCuが薄いと、図13の(b)に示すように、接合荷重により封止枠全体が薄くなって余剰となったはんだが流れ出してしまうからである。この流れ出しが生じると、後のダイシング時のブレード偏摩耗を生じさせてチップングを増大させたり、封止枠とバンプ部の間や、封止枠及びバンプ部と上下電極部などの間でショートし、特性劣化を招く。はんだの流れ出しを抑止するため、表面接合基板80の封止枠86のCuを厚くし、BAW素子70の封止枠74の電極幅を表面接合基板80よりも広くした。そのため、厚いCuが接合時に溶融しないためスペーサとして働き、封止枠が薄くなって余剰はんだが流れ出しても、電極幅が広いBAW素子70側の電極上にのみ濡れて流れ出すが、濡れ性の差を利用してBAW素子70側の電極外には流れ出さないようにすることができる(図13の(a)参照)。また、このように流れ出しを規制することで、接合形状の均一化が図れ、封止の歩留まりが向上する。

【0056】

なお、BAW素子70および接合基板80における封止枠の幅とバリアメタル層の厚みの関係を逆にしてもよい。つまり、表面接合基板80の封止枠86に比べてBAW素子70の封止枠74の方を細幅とし、かつ細幅のBAW素子70の封止枠74のバリアメタル層であるCuを厚くしてもよい。

【0057】

余剰はんだの流れ出しを防止するため、次のような寸法設定とするのがよい。すなわち、図12における一方の封止枠86の幅をW1とし、その封止枠86の接合時の温度によって溶融しない金属層(Ti+Cu)の厚みをh1とし、接合時の温度によって溶融する金属層(Sn)の厚みをh2とし、他方の封止枠74の幅をW2とし、その封止枠74の接合時の温度によって溶融する金属層(Sn)の厚みをh3としたとき、

$$W1 \cdot h2 + W2 \cdot h3 \leq h1 \cdot (W2 - W1)$$

の関係を満たすように金属層を形成することが好ましい。

なお、他方の封止枠74にはんだ層が設けられていない場合(h3=0)には、

$$W1 \cdot h2 \leq h1 \cdot (W2 - W1)$$

の関係を満たすように金属層を形成すればよい。

なお、上記のことは、裏面接合基板90のはんだ封止枠93についても同様である。

【0058】

本実施例では、CuSn合金を示しているが、NiSn合金やAuSn合金の場合も同様に膜厚と組成を考慮することができる。

例えば、AuSn合金の場合は、AuとSnの厚みはウエハの厚みバラツキを考慮し、バラツキが生じても確実に接合できる厚みとし、また、AuとSnの組成比は、溶融接合時に合金形成するBAW素子のAuも含めて、Au-20wt%Sn(共晶合金)からAu-38wt%Sn(δ相)の間となる組成になるようにし、それを膜厚でコントロールする。これは、接合時の加熱によりSnとNiの金属間化合物が成長し、AuSnの組成比がAuリッチになって高融点金属相(ζ相)が形成されてしまい、接合阻害を生ずるといった不具合を抑止するための組成である。上記組成範囲としておくことで、SnNiの金属間化合物が形成されても、Auリッチな高融点金属相(ζ相)の形成を抑制し、AuSnはんだの濡れ性を確保し、均一な接合を得て、封止できるようになる。また、AuSn下地のバリア層の厚みを厚くし、対向する封止枠の幅を変えることで、前述の流れ出しが防止できる。

【0059】

また、NiSn合金の場合も同様に、高融点合金が形成できるようSnとNiの組成比を

制御し、流れ出し防止のための未熔融金属層（例えばCu）を下地に設けてもよい。ただし、NiとSnは拡散係数が小さく拡散しにくいので、温度条件を上げたり、拡散促進元素（たとえばCo）などを添加してもよい。

合金化されて接合されたはんだ層の合金はNiとSnを主成分として構成され、SnとNiの合金におけるNiの重量比が73wt%より大きいことが好ましい。

【0060】

図9～図11に示すように製造された表面接合基板の硬質ガラスウエハ80A、BAW素子のSiウエハ70A、裏面接合基板の硬質ガラスウエハ90Aは位置決めされ、仮止め（仮固定）される。この際に、表面接合基板80および裏面接合基板90が透明な硬質ガラスであるため、BAW素子70をガラス越しに見ることができ、位置決めを行いやすい。

【0061】

次に、仮止めされた表面接合基板80、BAW素子70、裏面接合基板90を熱圧着する。熱圧着ヘッドやステージの平坦度が十分あり、面内の温度分布が良い接合装置を用いて、表面接合基板80、BAW素子70、裏面接合基板90を同時に接合する。接合条件は膜の組成により変化させる。たとえば、Au:Sn=2:3の組成比を持つ膜では、接合温度と圧力は、280℃×60秒、0.5MPaとした。また、CuやSnの酸化防止のため、真空雰囲気下で加熱し、接合した。接合温度が低いと、Cu₃Sn合金（ε相）が形成されず強度劣化を起こし、温度が高いと圧電薄膜の特性劣化を招く。また、圧力が低いとウエハの反りや厚みバラツキなどを十分に吸収して接合できない領域が生じたり、圧力が大きいとウエハ割れが生じたりする。このため、温度条件や荷重条件は適正化を図る必要がある。

【0062】

この熱圧着により、層状に形成されたCuとSnが合金化されるとともに、熔融金属が濡れ広がって接合され、気密封止される（図14の（a）参照）。CuSnを用いた接合においては、本実施例で形成された電子部品をマザーボードに実装する場合の加熱（約240℃）において、接合・封止金属が再熔融することがない融点415℃以上の合金を得ることができる。なお、Sn膜厚によっては接合時の加熱だけでは所望の合金を得ることができないこともあるが、その場合には、接合後に熱アニールを加えて所望の合金を得てもよい。

【0063】

AuSnの場合においても同様に330℃×20秒、0.5MPaとして接合でき、封止可能である。温度が低いと、AuSn合金がδ相及びε相となって、未熔融成分が析出しはんだ濡れ性を阻害したりし、温度が高いと、デバイスへのダメージとともに、SnとNiの金属間化合物が成長し、強度劣化を起こす。また、圧力が低いとウエハの反りや厚みバラツキなどを十分に吸収して接合できない領域が生じたり、圧力が大きいと接合厚みが極端に薄くなり、余剰AuSn材の流れ出しが大きくなったり、ウエハ割れが生じたりする。

【0064】

本実施例では、表面接合基板80、BAW素子70、裏面接合基板90を同時に接合したが、表面接合基板80とBAW素子70、BAW素子70と裏面接合基板90のいずれかの組み合わせを位置決めして接合し、その後残りの表面接合基板80又は裏面接合基板90を位置決めして接合しても良い。この場合、真空雰囲気下で接合すると、真空チャンバーからの取出し時に中空部と外部での圧力差のため、振動部の破壊が生じたりする。そのため、真空雰囲気下でなく、大気圧の不活性ガス雰囲気（たとえば、 1×10^5 PaのN₂）下で接合するのがよい。

【0065】

次いで、接合後、図14の（b）のようにダイシングし、チップサイズパッケージの圧電フィルタを得た。一般に、BAW素子はダイシング時に振動部の破壊を防ぐため、ブレード回転速度、送り速度を遅くする必要があり、通常のSiをダイシングする時間よりも約

4 倍の時間がかかる。本実施例のように振動部が保護されている構造では、通常のダイシングスピードでのダイシングが可能となる。無論、前述のように接合金属の流れ出しを制御し、ダイシングブレードの偏摩耗を防止した方がよいことは言うまでもない。

【0066】

最後に、気密封止の検査として、気密パッケージを不活性液（フロリナート）に浸漬し、その液体の侵入有無をダイヤフラム素子の振動特性で確認した。もちろん、He ガス透過による検査方法や、不活性液体への浸漬による泡の発生有無検査、気体の圧力差を利用し振動特性の変化を検知して封止性を検査する方法など、いずれの方法によっても良い。

【0067】

本発明は、実施例のような SAW フィルタや BAW フィルタに限定されるものではなく、中空封止が必要となる電子部品、例えば振動空間が必要となる圧電素子やエネルギー損失を抑えるために中空が必要となる高周波素子などを用いた電子部品であってもよい。

【図面の簡単な説明】

【0068】

【図 1】 本発明にかかる電子部品の一例である弾性表面波デバイスの断面図である。

【図 2】 図 1 における弾性表面波デバイスの分解斜視図である。

【図 3】 SAW 素子の製造方法の一例の工程図である。

【図 4】 SAW 素子の上にバンプと封止枠とを形成する方法を示す工程図である。

【図 5】 SAW 素子と接合基板との接合方法を示す工程図である。

【図 6】 SAW 素子に設けられたバンプおよび封止枠と接合基板の接合電極との接合前および接合後を示す拡大断面図である。

【図 7】 圧電薄膜共振子の基本構造を示す図である。

【図 8】 気密封止パッケージされた圧電薄膜共振子が形成された圧電フィルタを示す図である。

【図 9】 表面接合基板の製造工程を示す図である。

【図 10】 裏面接合基板の製造工程を示す図である。

【図 11】 BAW 素子の製造工程を示す図である。

【図 12】 BAW 素子に設けられた封止枠と表面接合基板に設けられた封止枠の接合前の具体的構造を示す図である。

【図 13】 封止枠の接合後の構造を示す図である。

【図 14】 表面接合基板、BAW 素子および裏面接合基板の接合時およびダイシング時の工程図である。

【符号の説明】

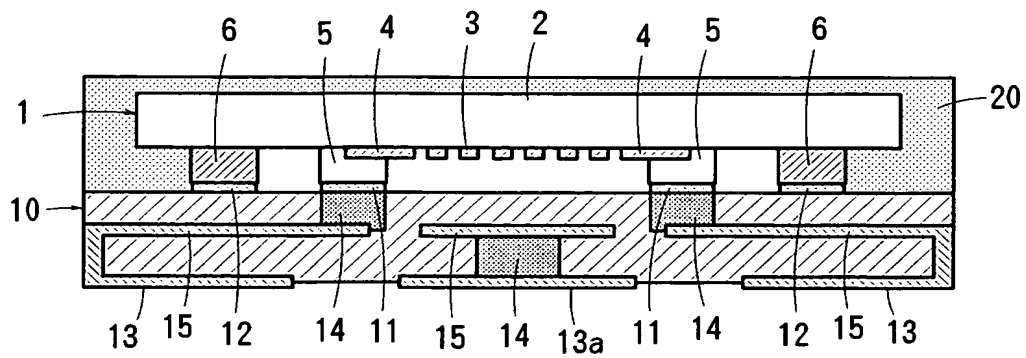
【0069】

- | | |
|----|--------------|
| 1 | SAW 素子（電子素子） |
| 3 | IDT 電極 |
| 4 | 端子電極 |
| 5 | バンプ |
| 6 | 封止枠 |
| 10 | 接合基板 |
| 11 | バンプ用接合電極 |
| 12 | 封止枠用接合電極 |
| 42 | 密着層 |
| 43 | バリアメタル層 |
| 44 | はんだ層 |
| 70 | BAW 素子（電子素子） |
| 74 | はんだ封止枠 |
| 75 | バンプ |
| 80 | 表面接合基板 |
| 86 | はんだ封止枠 |

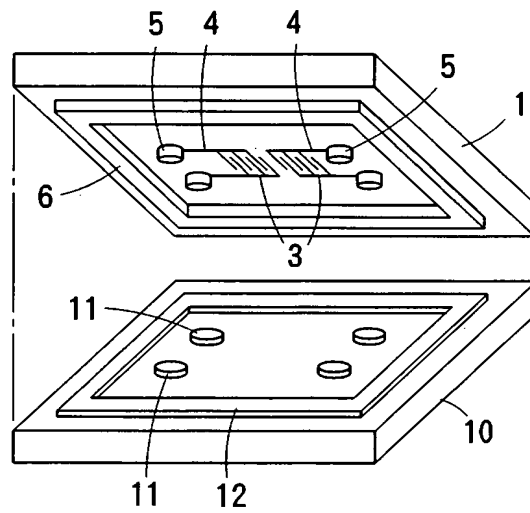
8 7 バンプ
9 0 裏面接合基板

【書類名】 図面

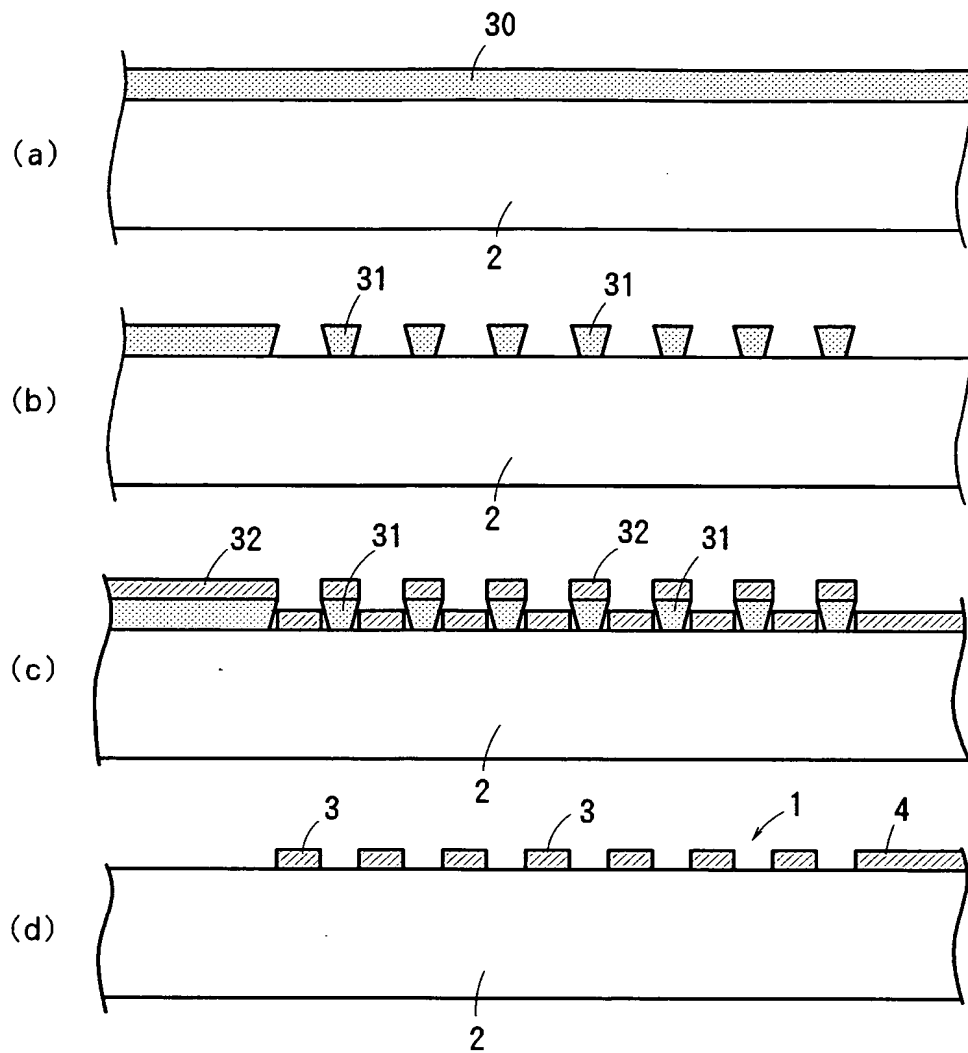
【図 1】



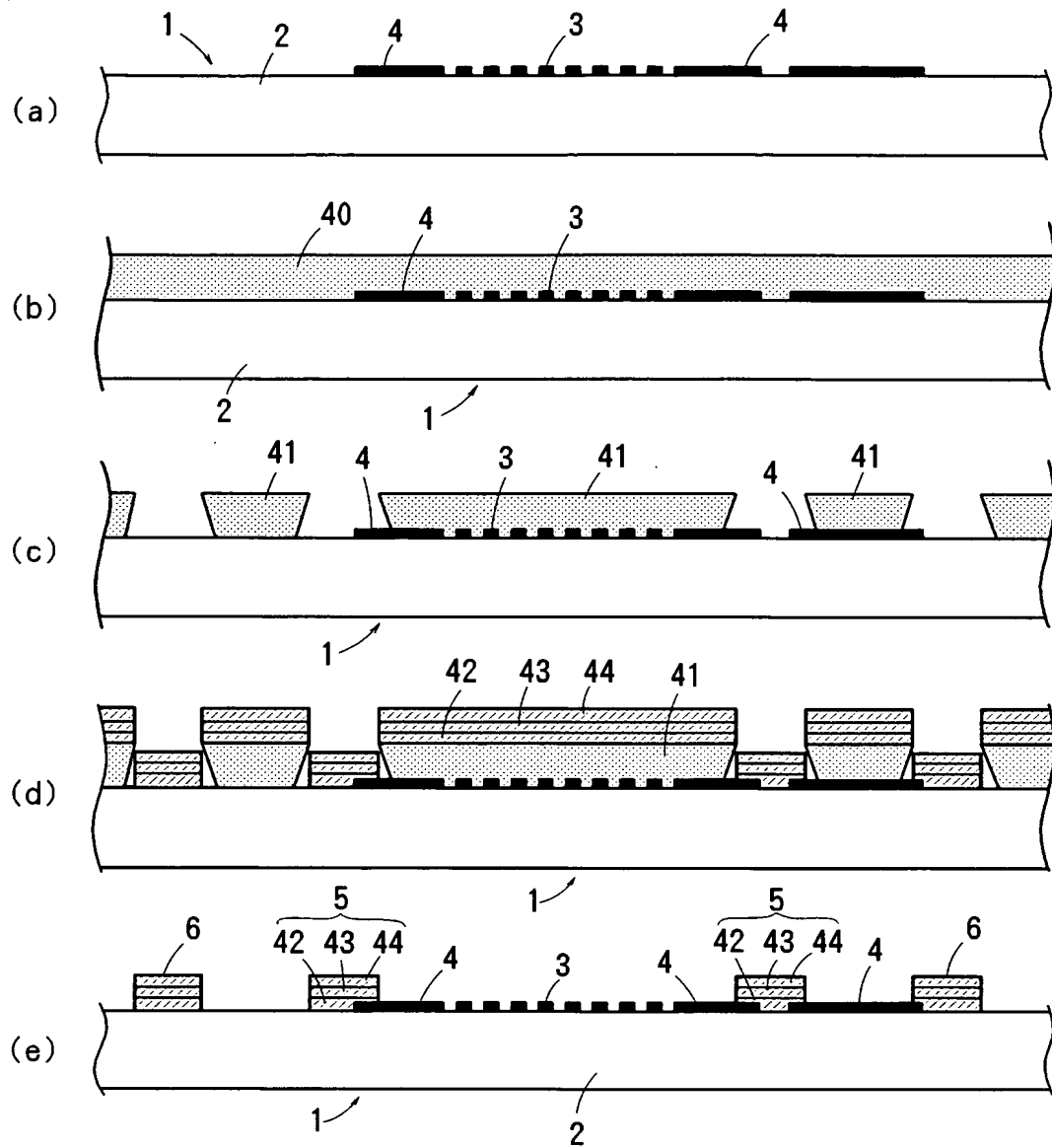
【図 2】



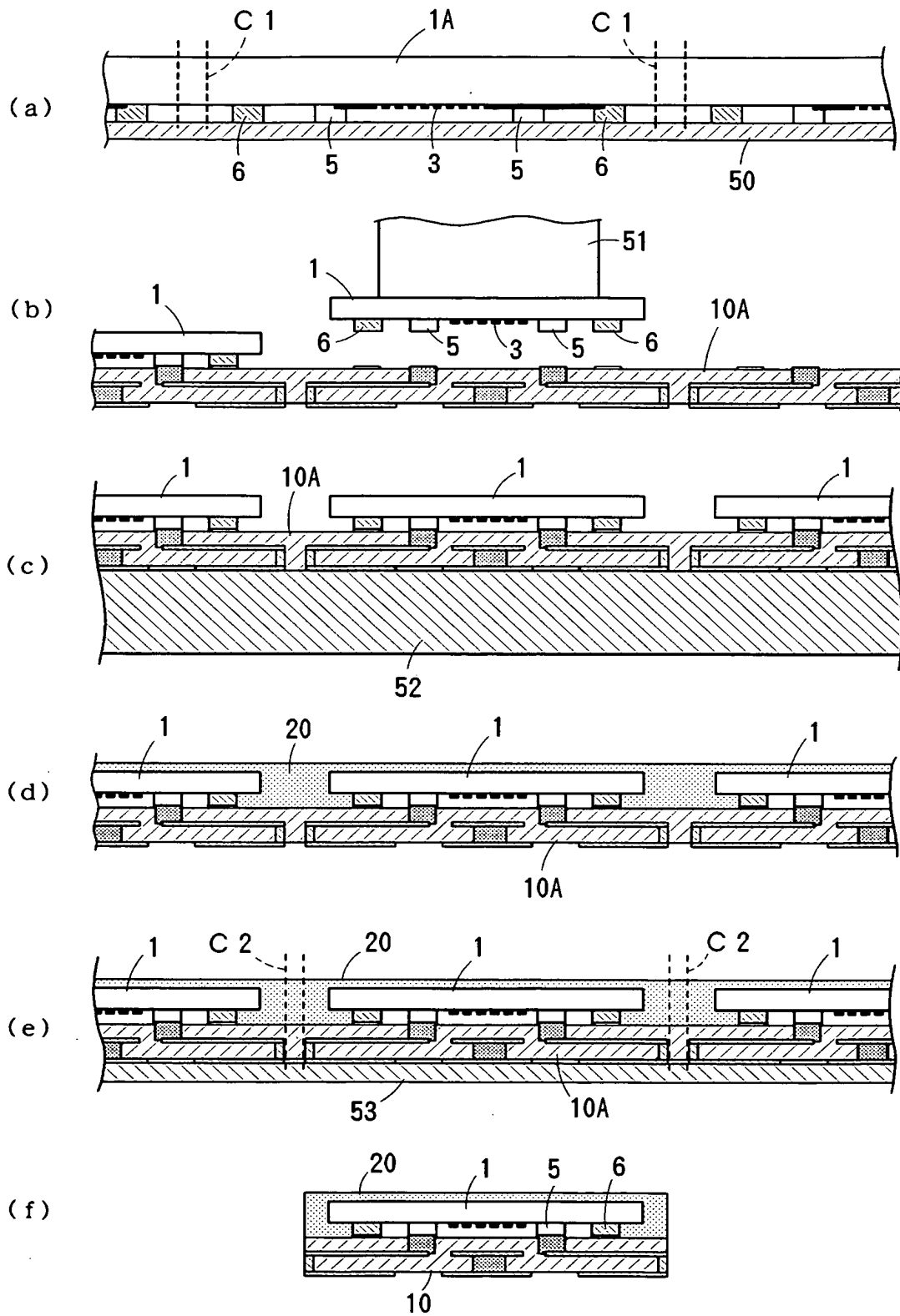
【図 3】



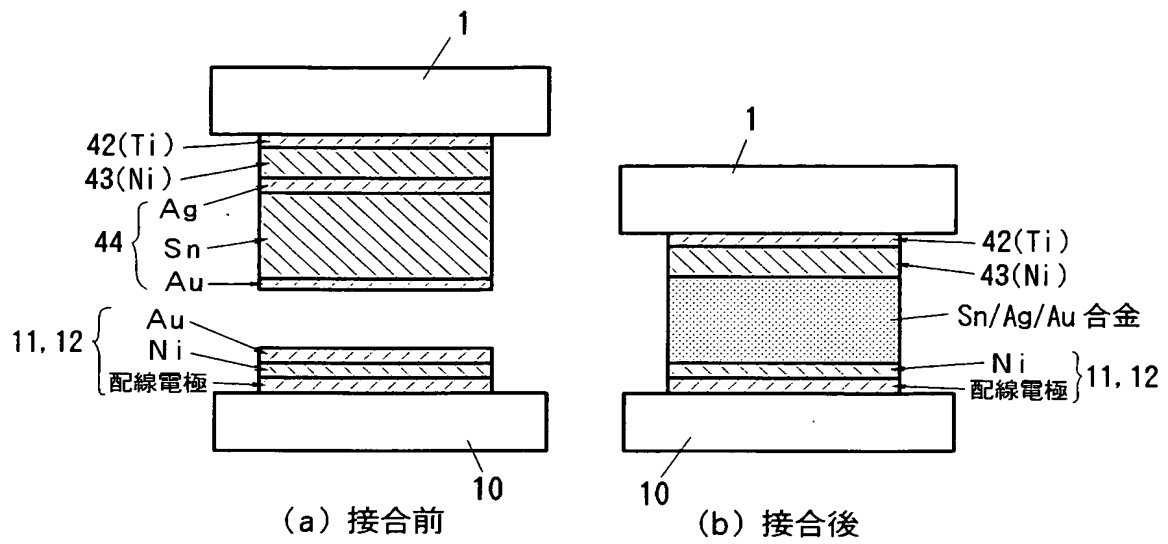
【図 4】



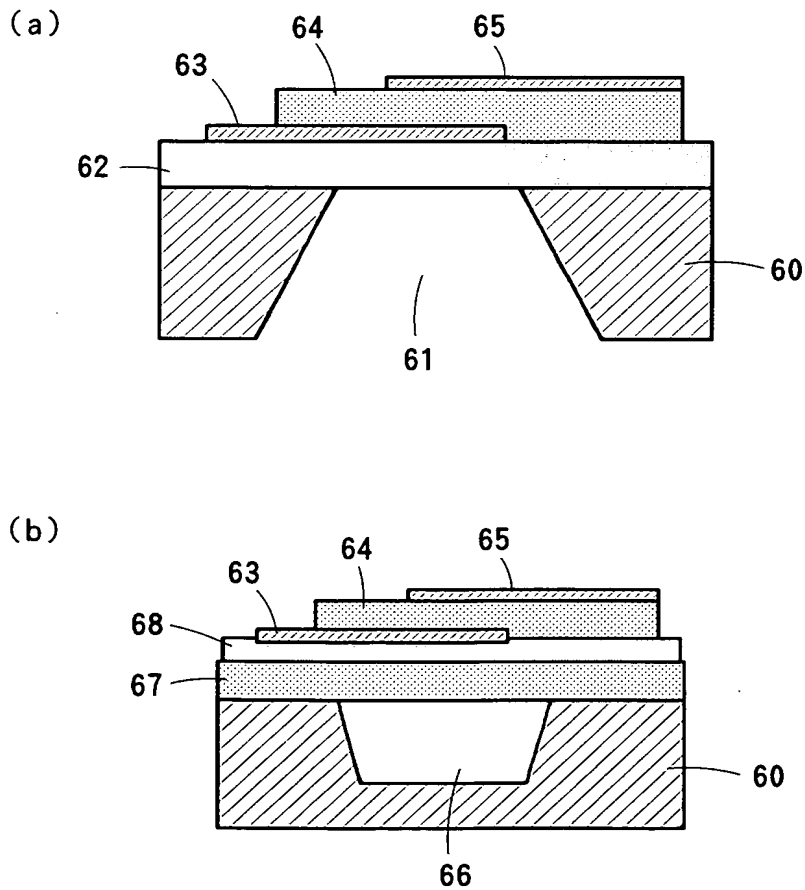
【図 5】



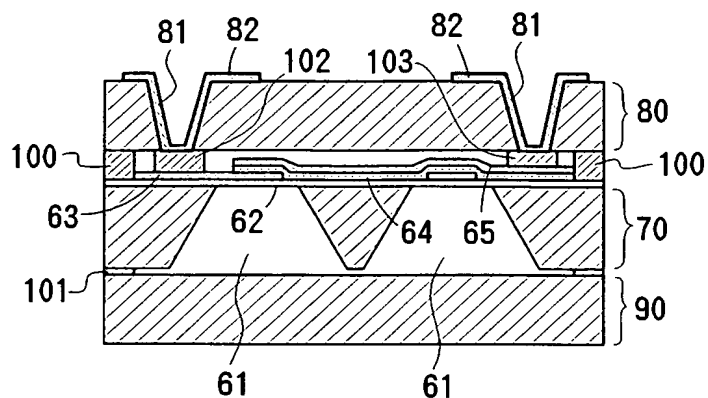
【図 6】



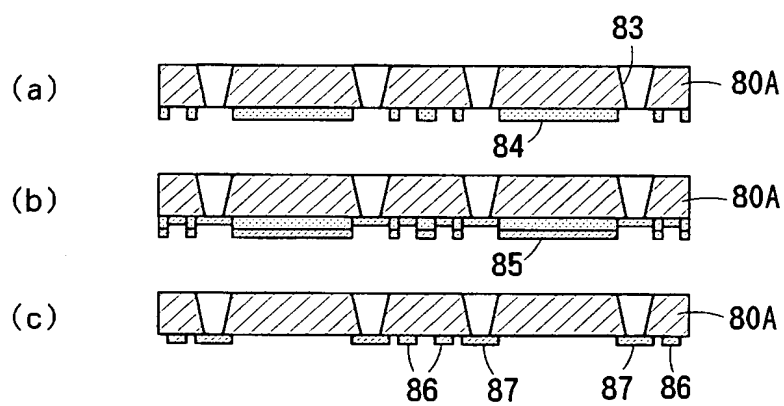
【図 7】



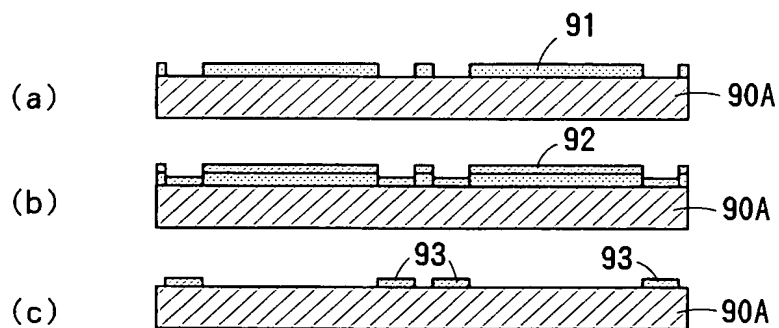
【図 8】



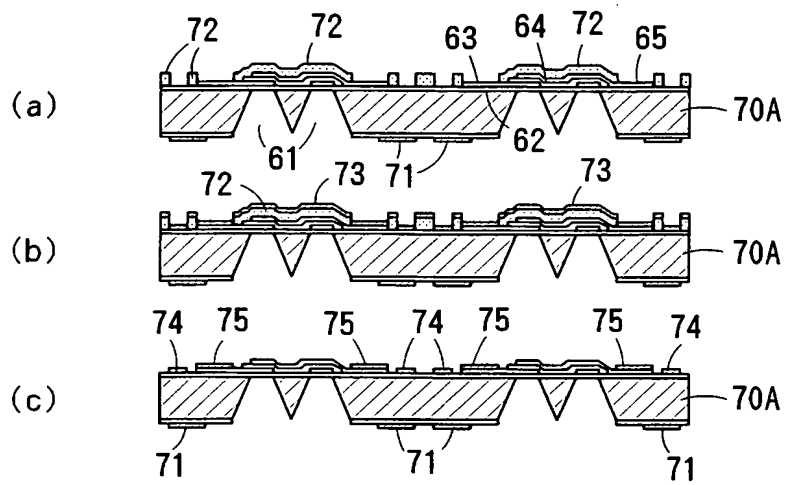
【図 9】



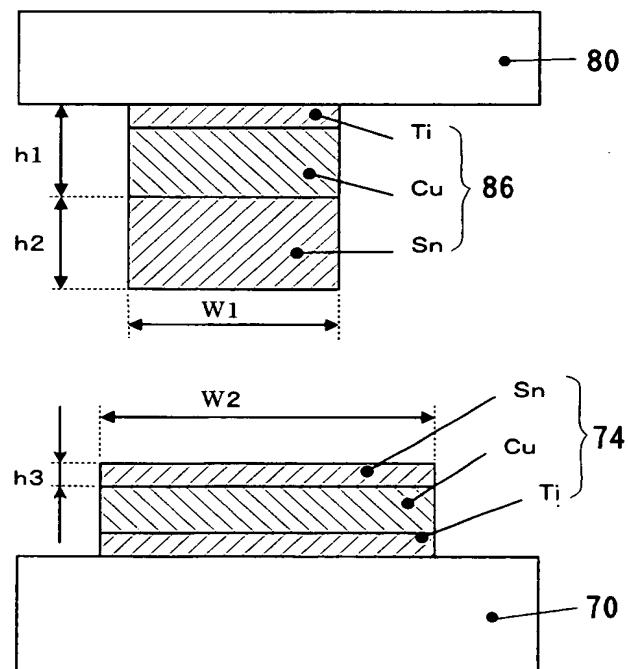
【図 10】



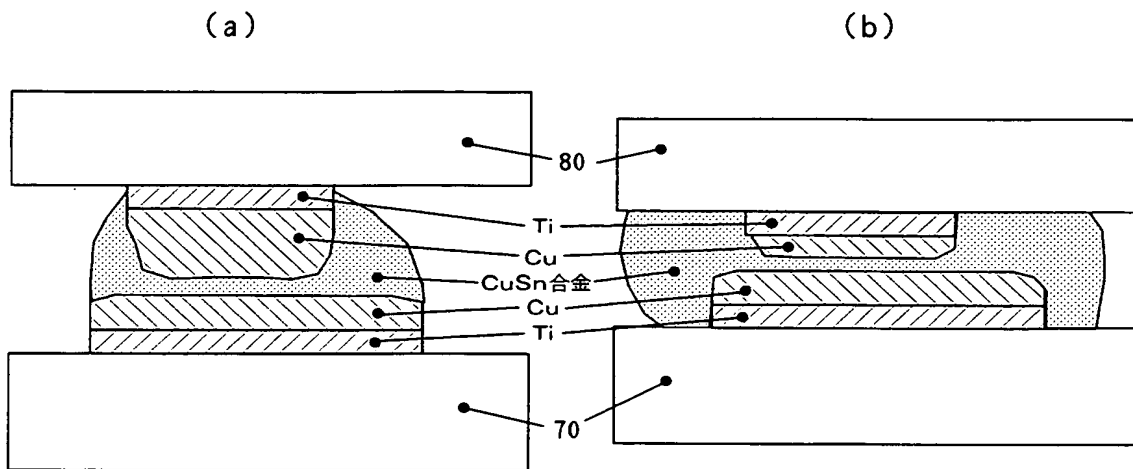
【図 11】



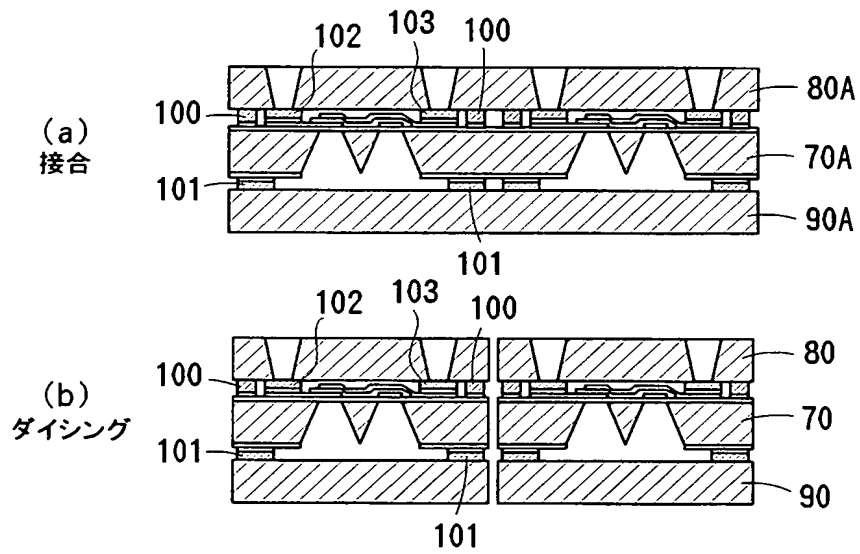
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 バンプと封止枠とを精度よく形成でき、確実な接合性および封止性が得られる電子部品の製造方法を提供する。

【解決手段】 一主面に I D T 電極 3 と端子電極 4 とを有する S A W 素子 1 と、一主面に接合電極 1 1 を有する接合基板 1 0 とを備え、S A W 素子と接合基板とをバンプ 5 を介して接合させて電氣的導通を得るとともに、S A W 素子と接合基板とを封止枠 6 を介して接合させて中空封止する電子部品の製造方法である。S A W 素子 1 の主面上にバンプおよび封止枠に対応した開口を持つレジストパターン 4 1 を形成し、レジストパターンの上に密着層 4 2、バリアメタル層 4 3、はんだ層 4 4 となる金属を順次堆積し、S A W 素子 1 上のレジストパターン 4 1 を除去することで、バンプ 5 と封止枠 6 とを同時形成する。S A W 素子のバンプ 5 と封止枠 6 とを接合基板 1 0 の接合電極 1 1, 1 2 に接合する際、はんだ層 4 4 を加熱溶融させることで合金化させる。

【選択図】 図 4

特願 2 0 0 3 - 3 4 4 0 4 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所